

PCT/KR 02/02497

RO/KR 13.02.2003

REC'D 25 FEB 2003

WIPO

PCT

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2002년 제 54210 호  
Application Number PATENT-2002-0054210

출원년월일 : 2002년 09월 09일  
Date of Application SEP 09, 2002

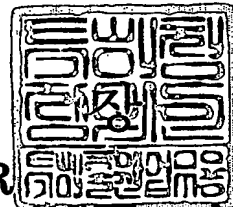
출원인 : 한국전자통신연구원  
Applicant(s) Electronics and Telecommunications Research Institute



2002 년 10 월 01 일

특 허 청

COMMISSIONER



**PRIORITY  
DOCUMENT**

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.09.09
【발명의 명칭】	반도체 소자 제조 장치 및 이를 이용한 반도체 소자 제조 방법
【발명의 영문명칭】	APPARATUS FOR MANUFACTURING SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE FOR USING THE SAME
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	2001-032061-5
【발명자】	
【성명의 국문표기】	정우석
【성명의 영문표기】	CHEONG, Woo Seok
【주민등록번호】	691006-1002518
【우편번호】	305-333
【주소】	대전광역시 유성구 어은동 한빛아파트 136-305
【국적】	KR
【발명자】	
【성명의 국문표기】	이성재
【성명의 영문표기】	LEE, Seong Jae
【주민등록번호】	571028-1119811
【우편번호】	305-720
【주소】	대전광역시 유성구 신성동 대림아파트 106-1106
【국적】	KR

**【발명자】****【성명의 국문표기】**

조원주

**【성명의 영문표기】**

CHO, Won Ju

**【주민등록번호】**

670713-1696619

**【우편번호】**

305-333

**【주소】**

대전광역시 유성구 어은동 한빛아파트 113-401

**【국적】**

KR

**【발명자】****【성명의 국문표기】**

장문규

**【성명의 영문표기】**

JANG, Moon Gyu

**【주민등록번호】**

681018-1767713

**【우편번호】**

305-728

**【주소】**

대전광역시 유성구 전민동 세종아파트 104동 601호

**【국적】**

KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
신영무 (인)

**【수수료】****【기본출원료】**

20 면 29,000 원

**【가산출원료】**

5 면 5,000 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

14 항 557,000 원

**【합계】**

591,000 원

**【감면사유】**

정부출연연구기관

**【감면후 수수료】**

295,500 원

**【기술이전】****【기술양도】**

희망

**【실시권 허여】**

희망

**【기술지도】**

희망

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 초미세 반도체 소자의 공정에 있어 쇼트키 배리어 MOSFET을 형성하기 위한 반도체 소자의 제조 장치 및 이를 이용한 제조 방법에 관한 것으로, 2개의 챔버를 상호 연결하고, 2개의 챔버를 통해서 세정 공정, 금속층 형성공정 및 후속공정등을 인-시튜로 진행할 수 있도록 구성함으로써, 불필요한 불순물 개입이나 산화막의 형성등을 방지하고, 공정의 최적화를 구현한다.

**【대표도】**

도 2

**【색인어】**

쇼트키 배리어, 초미세 반도체 공정, MOSFET

**【명세서】****【발명의 명칭】**

반도체 소자 제조 장치 및 이를 이용한 반도체 소자 제조 방법{APPARATUS FOR MANUFACTURING SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE FOR USING THE SAME}

**【도면의 간단한 설명】**

도 1은 제조된 쇼트키 배리어 MOSFET의 단면을 도시한 도면이다.

도 2는 본 발명의 일실시예에 따른 SB MOSFET 제조 장치를 도시한 도면이다.

도 3은 도 2의 SB MOSFET 제조용 장치의 제2 챔버를 확대한 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 반도체 소자의 제조 장치 및 이를 이용한 반도체 소자 제조 방법에 관한 것으로, 보다 구체적으로는, 초미세 반도체 소자의 공정에 있어 새로운 메탈 접합식 쇼트키 배리어 방법을 최적화 하는 반도체 소자의 제조 장치 및 이를 이용한 제조 방법에 관한 것이다.

<5> 초미세 반도체 소자의 제조기술은 소자의 집적화 및 고속화를 위해 반드시 확보되어야 하는 핵심 기술이다. 최근, 나노 크기의 반도체 소자를 구현하는 방법은 다양하게

소개되고 있지만, 그 중에서도 가장 난이도가 높은 기술 중 하나는 금속 실리사이드 반응을 이용한 쇼트키 배리어 MOSFET 제조 방법이다.

<6> 즉, 100nm 이상의 소자를 사이즈만 작게 하여 집적화하는 방법에서는 소오스 및 드레인 전극 형성의 도핑이 가장 중요한 문제 중 하나이다. 이러한 도핑문제를 해결하기 위해서, 쇼트키 배리어를 갖도록 하면 소오스/드레인의 저항을 획기적으로 낮춤과 동시에 도핑에 의한 소오스/드레인 형성의 경우에 반드시 행하는 고온 열처리 공정을 생략할 수 있게 된다.

<7> 금속과 실리콘 접합 중 쇼트키 컨택에서는 전자적으로 계면에 전자 에너지 장벽이 발생한다. 이것은 쇼트키 컨택 하이트(Shottky Barrier Height; SBH)로 알려져 있으며, 종래에는 적외선 감지기에 적용을 위해 연구가 진행되어 왔다. 쇼트키 컨택 활용기술이 나노 전자 소자의 대안으로 부각되기 시작한 것은 극히 최근이므로 최적의 장비와 공정은 아직까지 확립되지 않은 실정이다. 따라서, SBH를 효율적으로 조절하고 초미세 소자 제조 공정에 최적화를 기할 필요가 있다.

<8> 종래 기술의 문제점은 크게 4가지로 분류할 수 있다.

<9> 첫째, 종래의 금속증착 전 세정기술이다. 보통의 경우 인-시튜(In-situ)로 진행되는 것이 불가능한 상태에서 진행되었기 때문에 금속과 실리콘 사이에 이물질의 생성을 막을 수 없었다.

<10> 둘째, 세정이 어느정도 진행되었다 하더라도 패턴에 남아있는 대미지층(damage layer)의 영향으로 미세 구조나 전자적 특성 측면에서 쇼트키 컨택이 최적화되기 어렵다.

- <11> 셋째, 게이트 형성시에 과도 식각으로 인한 실리콘 기판의 손실이 커서 실리사이드 형성이 용이하지 않다.
- <12> 넷째, 금속막 형성 후에 열처리를 익스-시튜(ex-situ)로 진행한 경우, 금속 입계 산화 등을 피하기 어려울 가능성이 있다.
- <13> 이하, 도 1을 참조하여 쇼트키 배리어(SB) MOSFET의 구조를 설명한다.
- <14> SOI(Silicon On Insulator)기판의 절연막(10) 상에는 실리콘층(12)이 형성되어 있다. 실리콘층(12) 상에 게이트 산화막(14), 그 위에 게이트 전극(16)이 형성되고, 이어서 스페이서(16)를 형성하고 식각한다. 초미세 집적소자 대부분의 경우 스페이서(16) 제작 공정까지 진행되고 나면, 다음 공정으로 메탈 실리사이드 형성 공정이 실시된다. 그러나, 대부분의 경우 스페이서(16)가 형성되고 나면, 실리콘층(14)의 상당량이 파식각 된다. 이 후, 습식 및 건식 세정방법을 적용한 후 금속 증착 및 열처리를 하게 된다.
- <15> 그러나, 이 때 다음과 같은 문제점들이 발생할 수 있었다.
- <16> (1) 금속 증착 전에 산화막 생성을 막을 수 없다.
- <17> (2) 식각시 대미지로 인하여 금속 증착시 실리사이드 반응에 영향을 미치게 된다.
- <18> (3) 식각된 실리콘층이 많아 금속 증착 후 실리사이드 공정 최적화를 이루기 어렵다.
- <19> (4) 실리사이드 공정을 위한 열처리시 추가 산화를 막을 수 없다.

**【발명이 이루고자 하는 기술적 과제】**

<20> 따라서, 2개의 챔버를 상호 연결하고, 2개의 챔버를 통해서 세정 공정, 금속층 형성 공정 및 후속공정등을 인-시튜로 진행할 수 있도록 구성함으로써, 불필요한 불순물 개입이나 산화막의 형성등을 방지하고, 공정의 최적화를 구현한 초미세 소자 제조 공정을 최적화 할 수 있는 반도체 제조장치와 이를 이용한 반도체 소자의 제조방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

<21> 상술한 문제점을 해결하기 위한 수단으로서, 본 발명의 일측면은 반도체 제조장치에 관한 것으로, 하부에는 시료를 탑재하도록 배치된 제1 기판 홀더, 상부에는 시료에 램프광을 조사하기 위하여 배치된 할로겐 램프 및 일측면에 시료가 출입할 수 있도록 하는 기판 도어를 구비된 제1 챔버와, 하부에 시료를 탑재하도록 배치되며, 온도조절이 가능한 제2 기판홀더, 챔버의 상부와 하부를 분리하여 공정을 진행할 수 있도록 챔버의 중간부에 설치된 중간막, 상기 제2 기판홀더를 중간막을 기준으로 상부와 하부로 이송하기 위하여 상기 제2 기판 홀더에 부착된 승강부 및 상기 챔버의 상부에 배치된 금속증착부를 구비하는 제2 챔버와 제1 챔버와 상기 제2 챔버에 연결되어 압력을 각각 조절하기 위한 펌프부와, 제1 챔버와 제2 챔버에 연결되어 가스량을 제어하여 주입하기 위한 가스주입부와. 외부 공기의 유입이 없이 상기 제1 챔버와 상기 제2 챔버 사이를 왕복가능하도록 하며, 게이트 밸브를 포함하는 연결통로부를 구비한다.



- <22> 바람직하게는, 제2 챔버의 상기 금속 증착부는 스퍼터링에 의해 금속을 증착하고, 상기 금속 증착부의 구성은 스퍼터링건, 스퍼터링이 진행되는 동안 증착될 금속이 양옆으로 넓게 퍼짐을 막는 스퍼터 셔트 및 상기 스퍼터 셔트의 개구 정도를 조절하는 셔터 조리개를 포함한다.
- <23> 한편, 펌프부는 로터리 펌프와 터보 분자 펌프를 이용되며, 이와 같은 구성을 통하여  $10^{-8}$  Torr이하의 초진공이 가능할 수 있게 된다.
- <24> 본 발명의 다른 측면은 상술한 반도체 제조장치를 이용한 반도체 제조방법으로서, 반도체 구조물이 형성된 기판상에 상기 제1 챔버를 이용하여 세정공정을 수행하는 단계와 상기 세정공정 후, 기판을 상기 제2 챔버로 이동하여 금속막을 증착하는 단계를 포함하되, 외부의 노출없이 일괄 공정으로 진행하는 것을 특징으로 한다.
- <25> '반도체 구조물' 이라 함은 통상의 반도체 공정에서 이용되는 각종 절연층, 반도체층, 도전층 등을 리소그래피 공정 및 식각공정을 통하여 형성한 임의의 구조물 모두를 총칭한다.
- <26> 바람직하게는, 금속 증착 단계 후에, 열처리 공정을 수행하는 단계를 추가로 포함할 수 있으며, 금속 증착 단계 전에는, 상기 제2 챔버에서 희생 실리콘층 성장 단계를 추가로 포함할 수 있다.
- <27> 본 발명의 또다른 측면은 상술한 반도체 제조장치를 이용하여 쇼트키 배리어 MOSFET 제조방법으로, 본 제조 방법은 실리콘층 상에 게이트 산화막, 그 위에 게이트 전극 및 스페이서가 형성된 기판을 제1 챔버에 배치하는 단계와, 제1 챔버를 이용하여 소스/드레인 전극 형성을 위한 금속막 증착전, 세정공정을 수행하는 단계와, 세정공정

후, 기판을 연결통로부를 통해서 제2 챔버로 이동하는 단계와, 제2 챔버로 이동된 기판을 중간막 상부로 상승시켜, 금속증착부를 이용하여 금속층을 증착하는 단계와, 금속층 증착이 완료된 후, 기판을 하강하여 열처리하여 실리사이드를 형성하는 단계를 포함한다.

<28> 바람직하게는, 금속층 증착 단계 전에, 제2 챔버에서 희생 실리콘 성장 단계를 추가로 포함가능하고, 세정 공정은 진공세정 또는  $H_2$ -베이킹 공정이 가능하며, 금속 증착 전 희생산화막 형성공정은 상기 제2 챔버의 중간막 하부에서 수행된다.

<29> 바람직하게는, 스퍼터링 공정을 이용하여 실시하되, 증착되는 금속층의 두께는  $50\sim 500^\circ C$ 이며, 금속증착후 실리사이드 형성을 위한 열처리는 상기 제1 챔버를 이용하여 압력은  $10^{-8}Torr$ 이하로 유지한 상태에서 수행한다.

<30> 이하, 본 발명의 바람직한 실시예를 상세히 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전 하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<31> 도 2는 본 발명의 일실시예에 따른 SB MOSFET 제조 장치를 도시한 도면이다. SB MOSFET 제조장치는 인시튜 세정공정을 실시하는 제1 챔버(100)와 금속 증착과 그 후 인시튜로 진행되는 열처리등을 수행하는 제2 챔버(200) 및 외부 공기의 유입없이 제1 챔버(100)와 제2 챔버(200) 사이를 왕복가능 하도록 하며, 게이트 밸브(140)를 포함하는 연결통로부를 구비한다.

- <32> 제1 챔버(100)는 상부에 수정판(Quartz Panel)(108)이 설치되어 있으며 이를 통해서 할로겐 램프(110)가 기판에 직접 램프광을 조사한다. 기판은 기판 도어(102)를 통해서 제1 기판 홀더(112)상에 배치된다. 할로겐 램프(110)는 급속 열처리(Rapid Thermal Processing; RTP)가 가능한 것으로 선택한다. 또한, 제 1 챔버(100)에는 여분의 포트들(미도시)을 구비할 수 있다. 제1 챔버(100)의 양 측면에 각각 여분의 포트들을 만들어 시료의 표면 반응(세정에 관련된)이나 급속 증착 후 열처리 효과의 상승을 위해 UV-램프 또는 전자소스(electron source)등을 구비할 수 있다. 전자 발생은 텅스텐 필라멘트 계열의 것을 활용하는 것으로 구성할 수도 있다.
- <33> 제 1 챔버(100)의 압력은 로터리 펌프(160)와 터보 분자펌프(150)를 통해서 조절 가능하다. 제1 챔버(100)의 압력은  $10^{-8}$  Torr이하로 내려갈 수 있으며, 진공세정 및 진공 열처리가 가능하다. 이 때, 가열 방식은 전술한 할로겐 램프(110)를 이용하여 방사 가열(radial Heat Treatment)이 가능하다. 또한, 제1 챔버(100)에는 수소( $H_2$ ), 질소( $N_2$ ), 아르곤(Ar)등을 주입할 수 있도록 별도의 배선, 밸브 등을 포함하는 가스처리부(미도시)와 연결되어 있다.
- <34> 제1 챔버(100)에서 진행될 수 있는 세정공정을 예를 들어 설명하면, 챔버내의 온도를  $750^{\circ}C$  이상 올린 상태에서 수소를 흘리면서 펌핑 속도를 높일 경우, 약 1 Torr이하가 되는 조건에서 표면의 자연 산화막을 제거할 수 있다. 이는  $H_2$  베이킹 효과로 알려져 있으며 실리콘 표면에 수소 패시베이션을 수행하여 재차 산화되는 것을 억제할 수 있다. 또한, 진공세정법은  $10^{-8}$  이하에서  $650\sim 750^{\circ}C$  범위에서 실시하며, 산화막의 SiO 휘발 반응에 의해 표면 산화막이 제거될 수 있다.

<35> 제 2 챔버(200)는 게이트 밸브(150)를 통해서 제1 챔버(100)와 연결된다. 게이트 밸브(140)는 두 챔버 사이에 압력을 각각 조절할 수 있도록 한다. 제1 기관 홀더(112) 상에 배치되어 있던 기관은 게이트 밸브(140)가 열리면 운반장치(106)에 의해서 제 2 챔버내에 위치하는 제2 기관 홀더(202)로 기관을 이송한다. 제2 챔버(200)에는 제1 챔버(100)의 경우와 마찬가지로 로터리 펌프(160)와 터보 분자펌프(150)가 연결되어 있으며, 이들을 통해서 제2 챔버(200)의 압력 조절이 가능해진다. 이 경우에는 두개의 챔버(100, 200) 사이의 시료 이동은 직선운동(LINEAR MOTION FEEDTHROUGH)에 의해 진행이 가능하도록 구성하거나, 챔버에 내재된 이동모터에 의해 진행이 가능하도록 하거나, 챔버와 챔버 중간에 로봇암을 설치하여 이동하게 함을 기본으로 한다. 두 챔버를 이어주는 튜브의 가운데 부분에 게이트 밸브(140)가 있어 기체를 단속하여 압력을 조절하고, 시료 이동을 위한 통로를 제공하는 것은 전술한 바와 같다.

<36> 도 3은 도 2 의 SB MOSFET 제조용 장치의 제2 챔버(200)를 확대한 도면이다. 이하, 도 2 및 도 3을 참조하여 제2 챔버(200)를 상세히 설명한다. 제2 챔버(200)는 SB-MOSFET용 금속 박막을 형성하기 위하여 이용되며, 스퍼터링에 의한 증착, 증기증착법에 의한 증착등이 가능하다. 본 실시예에서는 설명의 편의를 위해 스퍼터링 증착방법에 대한 경우만을 예로 든다.

<37> 제2 챔버(200)에는 제2 기관홀더(202)가 구비된다. 제1 챔버(100)에서 전송되어 온 기관은 도 3의 제2 기관 홀더(202)상에 배치되고, 일정 공정을 수행하기 위해 시료홀더(204) 및 자동승강기(AUTO ELEVATING SYSTEM)(208)에 탑재되어 스퍼터링 증착을 위해 중간막(206)으로 이동된다. 중간막(206)은 스퍼터링 공정을 수행할 때 밀폐된 공간을 만

들기 위해서 챔버내에 배치되며, 자동승강기(208)에 의해 기판을 탑재한 시료홀더(204) 및 제2 기판홀더(202)가 중간막까지 상승하면, 도 3에 도시된 바와 같이, 시료홀더(204)는 중간막(206)의 중앙부위에 형성되어 있는 홀을 통과하고, 제2 기판홀더(202)는 중간막(206)과 밀착되어 상부와 하부가 다른 압력을 유지할 수 있게 된다. 예를 들어 선택적 실리콘층(Selective Epitaxial growth of silicon; SEG) 형성 장치와 금속증착용 스퍼터가 결합된 모양의 챔버에서 온도의 급속한 조절을 위해서 기판 홀더(202)위에 별도의 시료홀더(204)가 설치된다. 기판 홀더(202)는 시료 홀더(204) 아래에 위치하며, 각각 발열체에 의해 온도가 조절된다. 제2 기판홀더(202) 발열체에 의해 시료(기판)의 온도가 조절되며, 금속 증착시에는 시료 홀더(204)내의 세라믹 발열체에 의해 온도가 조절되게 된다. 일반 열선에 의한 발열체의 경우, 하부 챔버 벽에 냉각수를 흘려 주어야 한다. 급격한 온도 하강을 위해 시료홀더(204)는 약 1~3cm로 얇게 제조한다. 시료 홀더(204)와 제2 기판홀더(202) 각각에 써모커플(thermo-couple)을 설치하여 실제 기판의 온도를 측정한다. 한편, 두개의 홀더(202, 204) 표면은 금속성 도체로 둘러싸지 않는 것이 바람직하다. 표면 산화된  $TiO_2/Ti$ 를 활용하는 것도 가능하다. 다른 경우에는 세라믹 코팅을 하거나, 둘레에 막을 형성시킬 수 있다.

<38> 스퍼터건(216)은 제2 챔버(200)의 상부에 설치되어 있으며, 전면 중앙에는 스퍼터 셔트(214)가 설치된다. 스퍼터 셔트(214)는 스퍼터링이 진행되는 동안 증착될 금속이 양 옆으로 넓게 퍼짐을 막는다. 셔터 조리개(218)는 스퍼터 셔트(214)의 개구 정도를 조절한다. 스퍼터링증착은  $N_2$  또는 Ar분위기에서 수행될 수 있으며, 스퍼터링의 경우, 타겟

의 설치는 중앙에 1개 설치한다. 그러나, 필요에 따라서 3~4개를 설치하여 여러개의 타겟을 통해서 증착하는 것도 가능함은 물론이다.

<39> 스퍼터 셔터(214)가 닫혀 있는 상태에서 전세정 공정을 실시하며, 그동안 시료 홀더(204)가 스퍼터 타겟 아래로 3~10cm 이동하여 스퍼터링 증착 위치에 도달한다. 시료 홀더(204)는 온도가 상온에서 500℃까지 조절가능하다. 금속 증착은 스퍼터 셔터가 열리는 순간 시작되며, 스퍼터 셔터는 초기에는 스퍼터 타겟에서 0.5 ~ 2cm 정도 떨어진 위치에 있었으나, 열리는 순간 시료 홀더 양 옆으로 이동한다. 스퍼터 셔터(214)는 각각 하나의 조절기가 붙어있는 2개를 한 쌍으로 함을 기본으로 한다. 스퍼터건(216)은 1개를 기본으로 하나 필요에 따라서는 2~4개를 추가 설치할 수 있어 공동 증착(CO-DEPOSITION) 또는 다층 박막 증착에 이용될 수 있다.

<40> 스퍼터링 증착이 완료된 후에는 다시 자동 승강기(208)를 통해 제2 기판 홀더(202)로 하강한다. 도 3에 도시된 바와 같이. 자동승강기(208) 상판에는 제2 기판홀더(202)보다는 좁은 시료홀더(204)가 있다. 기판 온도는 써모커플(미도시) 방식으로 측정되면, 제2 기판 홀더(202)와 자동승강기(208) 상에 있는 시료홀더(204)에 각각 하나씩 부착한다. 제2 기판 홀더(202) 및 시료 홀더(203)는 라인모션바(Line Motion Bar)에 의한 방법을 사용할 수도 있고, 로봇암에 의한 방법을 이용할 수도 있다. 상술한 바와 같은 제2 기판홀더(202)에 대한 설명은 제1 기판홀더(도 2의 112)에도 적용될 수 있다.

<41> 제2 챔버(200)내의 이동기체(CARRIER GAS)는 2개의 밸브(210, 212)를 통하여 중간막(214) 상부 영역과 하부 영역이 각각 독립적으로 주입되고, 진공 상태도 서로 달리 형성될 수 있다. 따라서, 제2 챔버(200)의 중간막(214)의 가운데 부분은 완벽하게 밀폐되어 극초고진공 및 청정도를 유지시킬 수 있도록 한다.

<42> 이하, 상술한 제2 챔버(200)를 통한 SB MOSFET 제조공정의 진행예를 설명한다.

제2 챔버(200)를 이용하여 금속증착전 결정계면 완화와 희생 실리콘을 형성하기 위하여 극고진공 화학 증착법(Ultra High Vacuum CVD)에 의한 SEG를 증착할 수 있다. 기판의 온도를 550~700℃로 유지되는 상태에서 기초 압력을  $10^{-8}$  Torr 이하로 유지한 후 실리콘 소스인 다이실레인( $\text{Si}_2\text{H}_6$ )을 일정량 흘려주면 초기 200~500℃두께의 단결정 실리콘막이 선택적으로 액티브에만 성장하게 할 수 있다. UHVCDV를 이용한 SEG를 구현하기 위해서는 실리콘 뿐 아니라,  $\text{GeH}_4$ 를 사용하여 SiGe SEG를 구현하도록 시스템의 가스를 주입한다. 즉, 제1 챔버(100)에서 이송된 시료(또는 기판)는 제2 챔버(200)의 제2 기판홀더(202)상에 배치되고 온도가 어느 일정치에 도달할 때 SEG 공정이 진행될 수 있다. SEG 증착이 완료된 후, 시료 홀더(204)는 자동승강기(208)을 통해 위쪽으로 5~20cm 상측으로 이동한 다음, 스퍼터링을 이용하여 금속막을 증착할 수 있게 된다. 자동승강기(208)는 자체 회전하는 기능도 가질 수 있다.

<43> 금속증착전 희생 실리콘 성장과 금속 증착은 각각 별도의 챔버로 구성되어 진행함도 가능하다. 금속 증착과 SEG 공정이 상호 공존이 어려운 경우로 각각 분리하여 클러스터를 구성함을 기본으로 한다. 인시튜 공정이 가능하도록 하고, 시료 이동은 로봇 암에 의해 실시되는 것으로 구성가능하다.

<44> 이하, 도 4를 참조하여 쇼트키 배리어(SB) MOSFET의 제조공정을 설명한다.

<45> SOI(Silicon On Insulator)기판의 절연막(10) 상에는 실리콘층(12)이 형성되어 있다. 실리콘층(12) 상에 게이트 산화막(14), 그 위에 게이트 전극(16)이 형성되고, 이어서 스페이서(18)를 형성하고 식각한다.

- <46> 다음으로, 금속증착전 세정공정, 금속증착전 희생산화막 성장 공정, 금속 증착 공정, 금속 증착후 실리사이드 반응을 위한 열처리 공정 등의 일련의 공정을 상기 SB MOSFET 제조용 장치를 이용하여 수행한다. 이 경우, 바람직하게는 금속증착전 세정공정과 금속 증착후 실리사이드 반응을 위한 열처리 공정은 제1 챔버에서, 금속증착전 희생산화막 성장 공정 및 금속 증착 공정은 제 2 챔버에서 수행할 수 있다. 이와 같은 진행에 의해 상기의 공정 동안 기판은 외부에 노출되지 않고, 일괄공정으로 진행될 수 있다.
- <47> 먼저, 증착전 세정공정은 익스-시튜 세정과 인-시튜 세정을 수행할 수 있는데, 익스-시튜 세정은 패턴을 식각한 후, 저전력 플라즈마에 의한 식각후 처리와 습식식각 베스에 의한 세정을 수행한다.
- <48> 익스-시튜 세정공정의 저전력 플라즈마 처리는 게이트 전극의 식각후 형성된 대미지층을 효과적으로 제거하기 위한 것으로, 예를 들어,  $\text{NF}_3$ 를 10~50sccm,  $\text{O}_2$ 를 20~100sccm 넣고 He이나 Ar 기체를 50~2000sccm 정도 함께 넣고, 5~50W의 전력으로 0.1~5m Torr의 범위에서 수행할 수 있다. 습식식각 베스에 의한 산화막의 제거는 희석된 HF용액으로 진행한다. HF는 50~500:1로 DI(Deionized) 워터로 희석하며, HF 용액 처리전에 희석된 황산( $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2 = 1:1$ )로 60~600초 동안 유기물 제거를 실시한다. HF용액 처리를 한 시료는 표면에 수소 패시베이션을 90%이상 시킨다.
- <49> 다음으로, 인-시튜 세정 공정을 위하여 제1 챔버(도 2의 100)에 배치되면, 진공세정 또는  $\text{H}_2$ -베이킹을 수행한다. 진공 세정은  $10^{-8}$  Torr 이하의 초고진공 상태에서  $650\sim 750^\circ\text{C}$  범위에서 60~300초 동안 실시한다.  $\text{H}_2$ -베이킹은  $700\sim 900^\circ\text{C}$ 에서  $\text{H}_2$ 가



0.5~50slm 정도 흐르는 범위에서 압력을 0.1~10Torr로 낮게 유지한 상태에서 60~300초 동안 실시한다.

<50> 금속 증착전 회생산화막 형성공정은 인-시튜 세정 이후에 UHV-CVD방법으로 550~750℃에서 압력  $10^{-8}$ Torr 이하로 100~500초 동안 유지한 후,  $\text{Si}_2\text{H}_6$  또는  $\text{SiH}_4$  기체를 1~50sccm 흘려 두게 100~500℃의 선택적 실리콘(Selective Epitaxial growth of silicon)을 성장시킨다. 한편, 회생산화막으로는 SiGe SEG를 적용할 수도 있다. SiGe SEG는 UHV-CVD방법으로 증착하며, 온도 550~750℃에서 압력  $10^{-8}$ Torr 이하로 100~500초 동안 유지한 후,  $\text{Si}_2\text{H}_6$  또는  $\text{GeH}_4$  기체를 1~50sccm 흘려 두게 100~500℃가 되도록 성장한다. 한편, 금속 증착전 회생산화막 형성공정은 생략할 수도 있다. SEG 증착이 완료된 후, 시료 홀더 부분이 자동승강기를 통해 상측으로 5~20cm 정도 이동한 다음, 금속 증착 공정이 수행된다.

<51> 금속 증착 공정은 Ar, 또는  $\text{N}_2$  분위기에서 압력은 0.005~50Torr 범위에서 실시한다. 스퍼터 셔터가 닫혀 있는 상황에서 전세정 공정을 실시하며, 그동안 시료 홀더가 스퍼터 타겟 아래로이동하여 스퍼터링 증착 위치에 도달하여 스퍼터 셔터가 열리는 순간 시작된다. 증착되는 금속막의 두께는 예를 들어 50~500℃이며, 금속 증착 후, 시료홀더는 다시 원위치(기판 홀더위)로 복귀한다.

<52> 다음으로, 금속증착후 실리사이드 형성을 위한 열처리는 별도의 챔버에서 진행함도 가능하고, 인시튜로 제1 챔버를 이용하여 세정 공정을 수행하는 것도 가능하다. 금속 증착 공정 전 세정과 금속 증착후 실리사이드 반응을 위한 열처리를 동시에 실시할 수 있도록 한다. 할로젠 램프 밑에는 수정판(quartz panel)을 설치되어 있고, 가열 속도는 예를 들어 10~100℃/sec가 될 수 있다. 압력은  $10^{-8}$ Torr이하로 유지될 수 있으며, 실리

사이드 반응을 위한 열처리는 급속 열처리 방법과 등은 열처리 방법을 동시에 적용할 수 있다. 급속 열처리에 의한 실리사이드 형성은 보통 1차 열처리라고 하며, 금속의 종류에 따라 500 ~1200℃(0 ~ 60sec) RTP 를 적용한다. 반면에 2차 열처리인 등은 열처리는 보다 낮은 온도(200~800℃)에서 30분 ~300분 사이에 진행한다. 금속에 따라 1차 열처리만 진행하는 경우도 있고, 모두 진행하는 경우도 있으므로 금속에 따라 결정됨을 기본으로 한다.

<53>      상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 【발명의 효과】

<54>      초미세 SB MOSFET 소자를 제조함에 있어, 공정의 최적화를 기할 수 있다. 금속 공정중에 인시튜로 세정공정을 수행할 수 있음은 물론이고, 금속 형성 후에도 실리사이드 열처리 공정을 인시튜로 진행하는 것이 가능하므로 불필요한 불순물 개입이나 산화를 막을 수 있다. 또한, 금속 공정전 세정공정 및 금속 공정 후 열처리 공정을 하나의 챔버에 구현함으로써 장비가격 뿐만 아니라 불필요한 공간을 없앨 수 있다. UHV-CVD SEG공정과 금속 증착 공정을 동일한 챔버에서 겸용으로 진행할 수 있어 공정의 최적화 뿐만 아니라, 경제적인 이득도 얻을 수 있다.

**【특허청구범위】****【청구항 1】**

하부에는 시료를 탑재하도록 배치된 제1 기판 홀더, 상부에는 시료에 램프광을 조사하기 위하여 배치된 할로겐 램프 및 일측면에 시료가 출입할 수 있도록 하는 기판 도어를 구비된 제1 챔버;

하부에 시료를 탑재하도록 배치되며, 온도조절이 가능한 제2 기판홀더, 챔버의 상부와 하부를 분리하여 공정을 진행할 수 있도록 챔버의 중간부에 설치된 중간막, 상기 제2 기판홀더를 상기 중간막을 기준으로 상부와 하부로 이송하기 위하여 상기 제2 기판홀더에 부착된 승강부 및 상기 챔버의 상부에 배치된 금속증착부를 구비하는 제2 챔버;

상기 제1 챔버와 상기 제2 챔버에 연결되어 압력을 각각 조절하기 위한 펌프부;

상기 제1 챔버와 상기 제2 챔버에 연결되어 가스량을 제어하여 주입하기 위한 가스주입부; 및

외부 공기의 유입이 없이 상기 제1 챔버와 상기 제2 챔버 사이를 왕복가능하도록 하며, 게이트 밸브를 포함하는 연결통로부를 구비하는 것을 특징으로 하는 반도체 제조장치.

**【청구항 2】**

제 1 항에 있어서, 상기 금속 증착부는 스퍼터링건, 스퍼터링이 진행되는 동안 증착될 금속이 양옆으로 넓게 퍼짐을 막는 스퍼터 셔트 및 상기 스퍼터 셔트의 개구 정도를 조절하는 셔터 조리개를 구비하는 것을 특징으로 하는 반도체 장치.

**【청구항 3】**

제 1 항에 있어서,

상기 펌프부는 로터리 펌프와 터보 분자 펌프를 이용하는 것을 특징으로 하는 반도체 제조장치.

**【청구항 4】**

제 1 항에 있어서,

상기 제1 챔버와 상기 제2 챔버의 온도를 측정하기 위한 써모커플을 상기 제1 및 제 2 기판홀더에 더 부착하는 것을 특징으로 하는 반도체 제조장치.

**【청구항 5】**

제 1 항에 있어서,

상기 제1 챔버의 측면에는 UV-램프 또는 전자소스를 제공하기 위한 포트들을 추가로 포함하는 것을 특징으로 하는 반도체 제조장치.

**【청구항 6】**

청구항 1 내지 5 항 중 어느 하나의 항에 기재된 반도체 제조장치를 이용한 반도체 제조방법에 있어서,

반도체 구조물이 형성된 기판상에 상기 제1 챔버를 이용하여 세정공정을 수행하는 단계; 및

상기 세정공정 후, 상기 기판을 상기 제2 챔버로 이동하여 금속막을 증착하는 단계를 포함하되,

외부의 노출없이 일괄 공정으로 진행하는 것을 특징으로 하는 반도체 제조방법.

**【청구항 7】**

제 6 항에 있어서,

상기 금속 증착 단계 후에, 열처리 공정을 수행하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 제조방법.

**【청구항 8】**

제 6 항에 있어서,

상기 금속 증착 단계 전에, 상기 제2 챔버에서 회생 실리콘층 성장 단계를 추가로 포함하는 것을 특징으로 하는 반도체 제조방법.

**【청구항 9】**

청구항 1 내지 5 항 중 어느 하나의 항에 기재된 반도체 제조장치를 이용한 쇼트키 배리어 MOSFET 제조방법에 있어서,

실리콘층 상에 게이트 산화막, 그 위에 게이트 전극 및 스페이서가 형성된 기판을 상기 제1 챔버에 배치하는 단계;

상기 제1 챔버를 이용하여 소오스/드레인 전극 형성을 위한 금속막 증착전, 세정공정을 수행하는 단계;

상기 세정공정 후, 상기 기판을 상기 연결통로부를 통해서 상기 제2 챔버로 이동하는 단계;

상기 제2 챔버로 이동된 기판을 중간막 상부로 상승시켜, 상기 금속증착부를 이용하여 금속층을 증착하는 단계; 및

금속층 증착이 완료된 후, 상기 기판을 하강하여 열처리하여 실리사이드를 형성하는 단계를 포함하는 것을 특징으로 하는 쇼트키 배리어 MOSFET 제조 방법.

【청구항 10】

제 9 항에 있어서,

상기 금속층 증착 단계 전에, 상기 제2 챔버에서 희생 실리콘 성장 단계를 추가로 포함하는 것을 특징으로 하는 쇼트키 배리어 MOSFET 제조 방법.

【청구항 11】

제 9 항에 있어서,

상기 세정 공정은 진공세정 또는  $H_2$ -베이킹 공정이며, 상기 진공 세정은  $10^{-8}$  Torr 이하의 초고진공 상태에서  $650\sim 750^\circ C$  범위에서 60~300초 동안 열처리하는 것이며, 상기  $H_2$ -베이킹 공정은  $700\sim 900^\circ C$ 에서  $H_2$ 가 0.5~50slm, 압력을 0.1~10Torr로 유지한 상태에서 60~300초 동안 열처리 하는 것을 특징으로 하는 쇼트키 배리어 MOSFET 제조 방법.

【청구항 12】

제 9 항에 있어서,

상기 금속 증착전 희생산화막 형성공정은 상기 제2 챔버의 중간막 하부에서 수행되며,  $550\sim 750^\circ C$ 에서 압력  $10^{-8}$ Torr 이하로 100~500초 동안 유지한 후,  $Si_2H_6$  또는  $SiH_4$  기체를 1~50sccm 로 흘려 선택적 실리콘층을 형성하는 덕을 특징으로 하는 쇼트키 배리어 MOSFET 제조방법.

【청구항 13】

제 9 항에 있어서,

상기 금속 증착 공정은 Ar, 또는 N<sub>2</sub> 분위기에서 압력 0.005~50Torr로 스퍼터링 공정을 이용하여 실시하되, 증착되는 금속층의 두께는 50~500℃ 인 것을 특징으로 하는 쇼트키 배리어 MOSFET 제조방법.

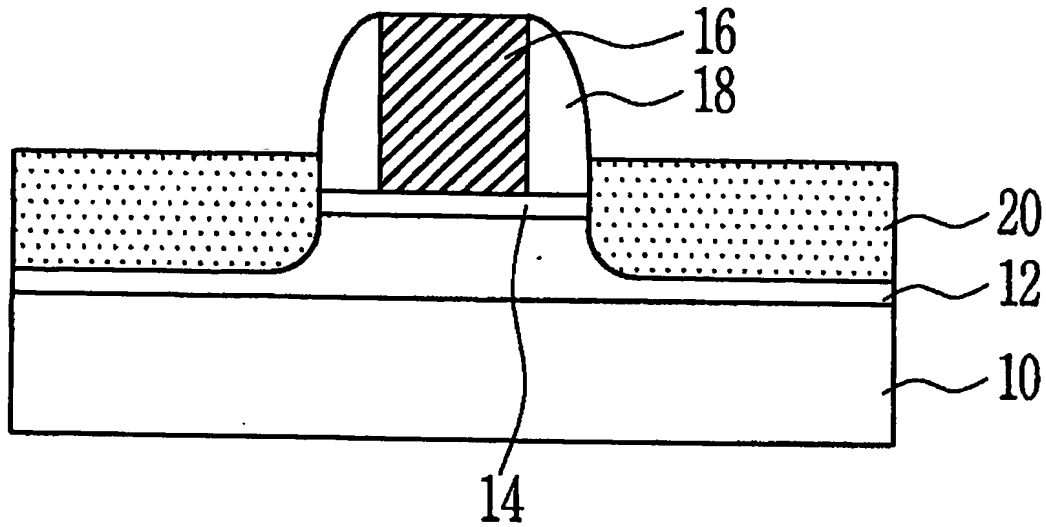
【청구항 14】

제 9 항에 있어서,

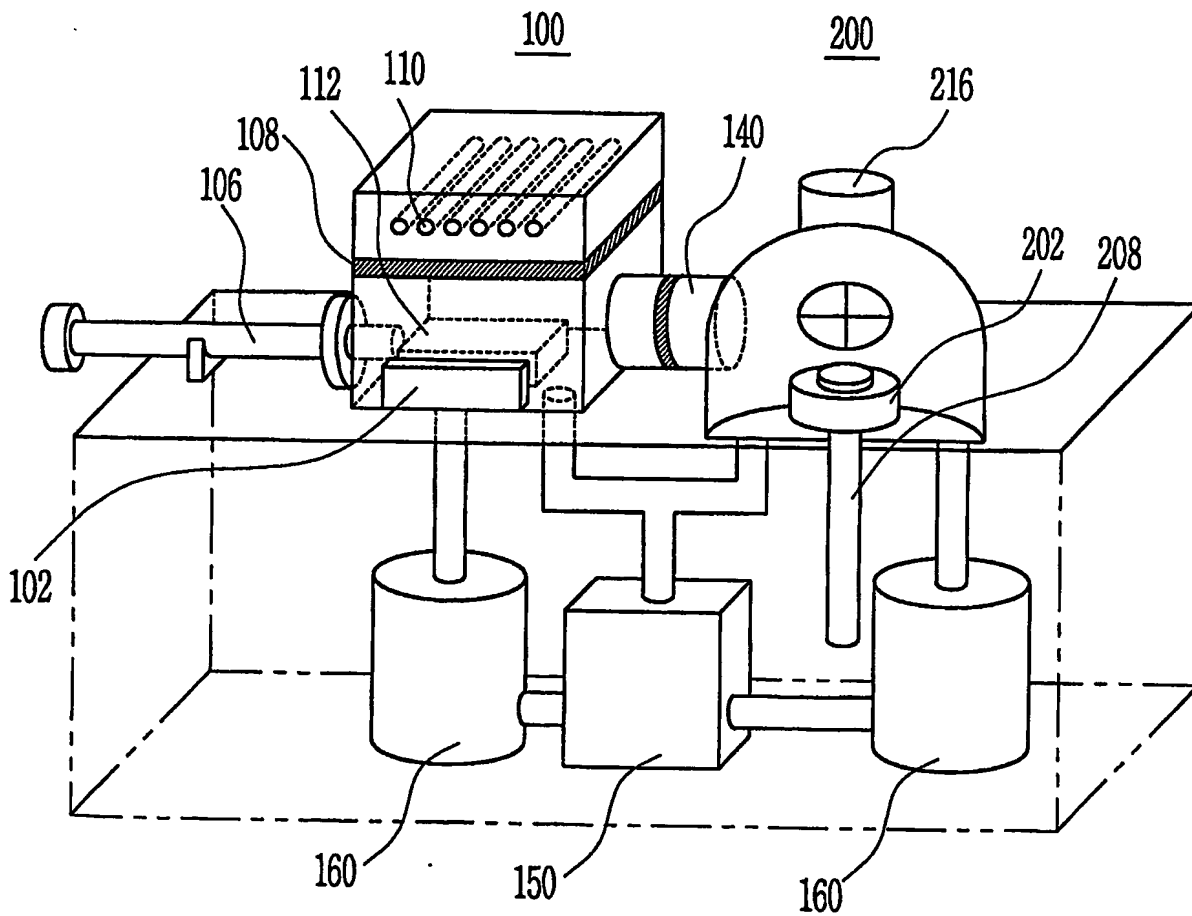
상기 금속증착후 실리사이드 형성을 위한 열처리는 상기 제1 챔버를 이용하여 압력은 10<sup>-8</sup>Torr이하로 유지한 상태에서 수행하는 것을 특징으로 하는 쇼트키 배리어 MOSFET 제조방법.

【도면】

【도 1】



【도 2】





【도 3】

